

극저온 반도체 식각공정용 -120°C 급 혼합냉매 냉동시스템 설계

Design of a -120°C Mixed Refrigerant Refrigerator System for Cryogenic Semiconductor Etching Process

지형용*† · 이천규*
Hyung-Yong Ji*† and Cheonkyu Lee*

(Received 17 October 2024, Revision received 25 November 2024, Accepted 25 November 2024)

초록 : 반도체 제조 공정에서 최근 요구되는 미세화 및 고단화 패턴 형성에 대응하기 위해, 극저온 냉각시스템이 필수적인 기술 개발 요소로 요구되고 있다. 본 연구에서는 극저온 식각 공정을 위한 냉각시스템 개발의 일환으로, 반도체 식각 공정에 적용할 수 있는 -120°C 급 단일 극저온 혼합냉매 줄-튐슨 냉동기를 설계하였다. 냉매는 가연성(R50, R1150, R290, R600a) 및 비가연성(Ar, R14, R23, R218)으로 구분하여 각각 4종의 냉매를 혼합한 조성으로 구성하였으며, 조성의 물분율에 따라 극저온 냉각시스템의 성능과 복열식 열교환기의 열교환량을 정량적으로 분석하였다. 그 결과, 냉동시스템 COP 기준으로 비가연성 혼합냉매는 0.120, 가연성 혼합냉매는 0.206 수준으로 설계되었으며, 부피 유량 및 열교환량 또한 두 혼합냉매 조건 사이에서 약 2배의 차이가 발생함을 확인하였다.

키워드 : 반도체 식각 공정, 혼합냉매, 가연성, 줄-튐슨, 극저온냉동기

Abstract : Cryogenic cooling systems are essential technological developments for meeting the demands of forming high-quality and advanced patterns required in modern semiconductor manufacturing processes. In this study, a -120°C class cryogenic mixed-refrigerant Joule-Thomson refrigeration system was designed for use in semiconductor etching to advance cryogenic cooling technology. The refrigerants were composed of four types, classified as either flammable (R50, R1150, R290, R600a) or non-flammable (Ar, R14, R23, R218). The performance of the cryogenic cooling system and the heat exchange capacity of the recuperative heat exchanger were quantitatively analyzed based on the type of mixed refrigerant used. As a result, the coefficient of performance (COP) for the non-flammable mixed refrigerant was determined to be 0.120, while the flammable mixed refrigerant achieved a COP of 0.206. Furthermore, the volume flow rate and heat exchange capacity differed by approximately a factor of two between the two refrigerant conditions.

Key Words : Semiconductor Etching Process, Mixed Refrigerant, Flammable, Joule-Thomson, Cryogenic Refrigerator

*† 지형용(<https://orcid.org/0009-0004-1115-1442>) : 연구원,
한국생산기술연구원 지속가능기술연구소
E-mail : jhyong@kitech.re.kr, Tel : 041-589-8355

*이천규(<http://orcid.org/0000-0002-8927-1709>) : 수석연구원,
한국생산기술연구원 지속가능기술연구소

*† Hyung-Yong Ji(<https://orcid.org/0009-0004-1115-1442>) : Researcher,
Research Institute of Sustainable Development Technology,
KITECH.

E-mail : jhyong@kitech.re.kr, Tel : 041-589-8355

*Cheonkyu Lee(<http://orcid.org/0000-0002-8927-1709>) : Principal
Researcher, Research Institute of Sustainable Development
Technology, KITECH.

1. 서 론

반도체 식각 공정은 회로 패턴에 따라 보호막을 형성한 후, 보호막 외의 노출된 기판 표면을 플라즈마 또는 화학적 식각 공정을 통해 제거하는 반도체 제조의 핵심 공정이다.¹⁾ 3D-NAND 플래시 메모리의 경우 고집적, 고용량 요구에 따라 현재 200단 수준에서 2030년까지 1,000단 이상의 적층을 목표로 연구되고 있고, 시스템 반도체(logic chip) 분야에서도 현재 3 nm 수준에서 1 nm 이하로의 미세화를 목표로 하고 있다.²⁾ 이러한 요구 기술에 맞춰, 40:1 이상의 높이와 너비 비율을 갖는 고 종횡비(high aspect ratio etching) 구조에서 높은 선택비(selectivity), 빠른 식각 속도(etich rate), 정확한 식각 형태(etich profile)를 달성하는 것은 중요한 이슈이며, 질화갈륨(GaN), 탄화규소(SiC), 다공성 Low-K 물질과 같은 새로운 소재에도 적용될 수 있도록 연구 개발이 이루어지고 있다.³⁻⁵⁾

극저온 식각(cryogenic etching)은 과거 대량 생산 효율성 면에서 Bosch 식각 공정에 비해 주목받지 못했지만, 최근 반도체 공정의 고도화와 미세화의 요구에 따라 재조명되고 있다.^{6,7)} 극저온 식각 공정은, 웨이퍼의 온도를 낮춘 후 플라즈마 식각을 수행하는 것으로, 부산물이 웨이퍼 식각면에 자체적으로 응결 및 보호(Passivation) 역할을 수행 하도록 하는 공정이다. 플루오린 라디칼(F)을 이용하여 비등방성 식각을 수행하며, 부산물(byproduct)인 SiF_4 의 응결점(-95°C) 이하로 웨이퍼를 냉각해서, 이 부산물이 자체로 벽면에 얼어붙도록 하여 효과적으로 비등방성 식각(anisotropic etching)을 구성할 수 있고 보고되고 있다.⁸⁻¹¹⁾

식각과 보호막 형성이 동시에 발생하므로 공정 전환 없이 벽면이 매끄럽게 유지된다. 이는 High bandwidth memory와 같이 미세한 패턴을 요구하는 최신 반도체 공정에서 매우 중요한 요소로, Bosch 공정과 달리 식각과 보호막 형성의 반복 전환으로 인한 벽면 거칠기(scalloping) 현상이 발생하지 않는다. Bosch 공정에서의 scalloping 문제를 해결하기 위해 많은 연구가 이루어지고 있지만, 극저온 식각은 공정 자체가 이러한 문제를 자연

적으로 해결하는 이점이 있다. 또한 극저온에서 형성된 보호막은 상온이나 편향 전압(bias voltage)을 이용한 Ion bombardment에 의해 쉽게 제거되고, 식각 후 보호막을 제거하기 위한 추가 공정을 생략할 수 있다. Mellhaoui, Dussart¹²⁾는 온도별 보호막 두께와, 바닥 면 보호막의 낮은 ion energy에도 쉽게 파괴됨을 실험을 통해 보이고, -110°C 에 편향 전압이 존재할 때 식각 형태가 잘 형성됨을 제시하였다. Antoun, Dussart¹³⁾는 SiF_4/O_2 에 의해 증착된 보호막이 -100°C 에서 가장 두껍고, 다공성이며, 온도가 상승함에 따라 밀도가 더 낮아지고, bias 없는 SF_6 플라즈마에 의해 쉽게 탈착되는 현상을 보였다. 또한 웨이퍼 식각공정에서 낮은 온도는 자유 라디칼의 확산을 억제하여 등방성 식각을 방지하고, 비등방성 식각을 더욱 효과적으로 수행할 수 있게 한다.

이러한 장점에도 불구하고, 현재 극저온 식각은 액체질소를 이용하여 냉각을 수행하고 정전척에 위치한 히터를 이용하여 온도를 제어하는 방식으로 운용한 것으로 알려져 있고, 이는 지속적인 액체질소 사용 낭비와 안정적인 온도 제어의 어려움이 있다.⁵⁾ 이에 본 연구에서는 극저온 식각 공정을 위한 냉동시스템 개발의 일환으로, 반도체 식각 공정에 적용하기 위한 극저온 혼합냉매(Mixed refrigerant, MR) 줄-톰슨(Joule-Thomson, J-T) 냉동기를 설계하였다. 이때, MR은 가연성(flammable)과 비가연성(non-flammable) 특성을 갖는 2가지의 MR을 사용하였고, -120°C 를 냉각시키는 단일 MR J-T 사이클에서, MR 조성에 따른 극저온 냉동시스템의 성능(Coefficient of Performance, 이하 COP) 및 구성을 위한 복열식 열교환기의 열교환량 등을 정량적으로 분석하였다.

2. 냉매 선정 및 사이클 해석

본 연구에서 사용한 2가지 유형의 가연성 혼합냉매(non-flammable MR, NFMR)와 비가연성 혼합냉매(flammable MR, FMR)의 성능은 단일 MR J-T 냉동 사이클에서 고려하였다. Fig. 1(a)는 일반적인 J-T 사이클을, Fig. 1(b)는 본 연구에서 고려하

고자 하는 극저온 식각용 MR J-T 냉동시스템의 개략도를 나타내고 있다. J-T 냉동기는 복열식 열교환기(main HX), 팽창 밸브(main J-T valve), 압축기(compressor) 및 후냉각기(aftercooler)를 포함하며, 이 냉동기를 반도체 공정용으로 적용하기 위해 냉각유체(coolant)를 순환하는 부분이 추가된다. 열교환기 압력강하 및 외부로부터 열유입은 없다고 가정하고, 이상적인 복열식 열교환을 가정하면, 검사체적(control volume) 내의 냉각 용량 \dot{Q}_L 을 아래 식 (1)과 같이 표현할 수 있다.

$$\dot{m} \Delta h_{iso} = \dot{m} [h(P_L, T_k) - h(P_H, T_k)] = \dot{Q}_L \quad (1)$$

이때, P_H 와 P_L 은 각각 열교환기 고온부의 고압과 저압, T_k 는 열교환기의 고온측 끝단의 온도이자 예비냉각이 존재한다면 예비냉각 이후 온도를 의미하고, Δh_{iso} 는 이처럼 열교환기 고온단의 고압부와 저압부 온도가 동일하다고 가정했을 때 발생하는 엔탈피 차를 의미한다.

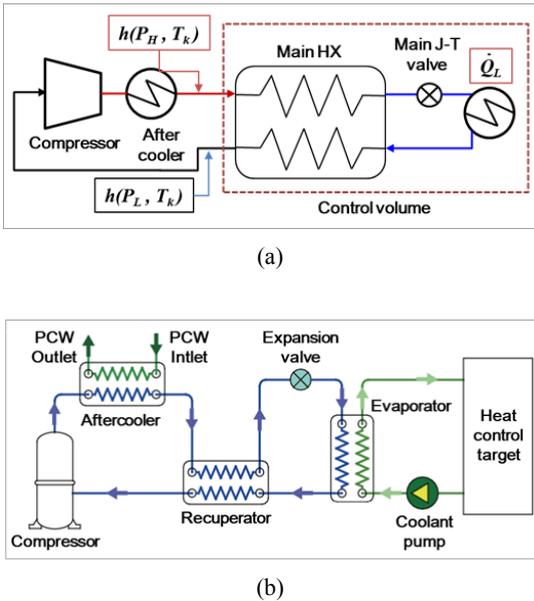


Fig. 1 (a) Schematic of a J-T refrigerator and (b) Schematic of semiconductor chiller using J-T refrigerator

따라서 동일한 유량으로 냉각 용량을 높이기 위해서는 열교환기의 고압부와 저압부 엔탈피 차를 최대한 확보하는 것이 중요하며, 시작 온도부터 목표 온도까지 최대한 높은 엔탈피 차를 유지해야 목표 냉각 온도에 도달하고 냉각 성능을 도출할 수 있다. Fig. 2는 선정한 FMR과 NFMR의 등온 엔탈피 차(고압 1,800 kPa, 저압 400 kPa)를 온도에 따라 나타내고 있다. 도출된 MR의 물성치는 REFPROP 10.0 default EOS를 이용하였다.¹⁷⁾

2.1 냉매 선정

반도체 극저온 식각 공정에 적용하는 것을 고려하여, 냉동기의 증발기(evaporator) 위치에서 반

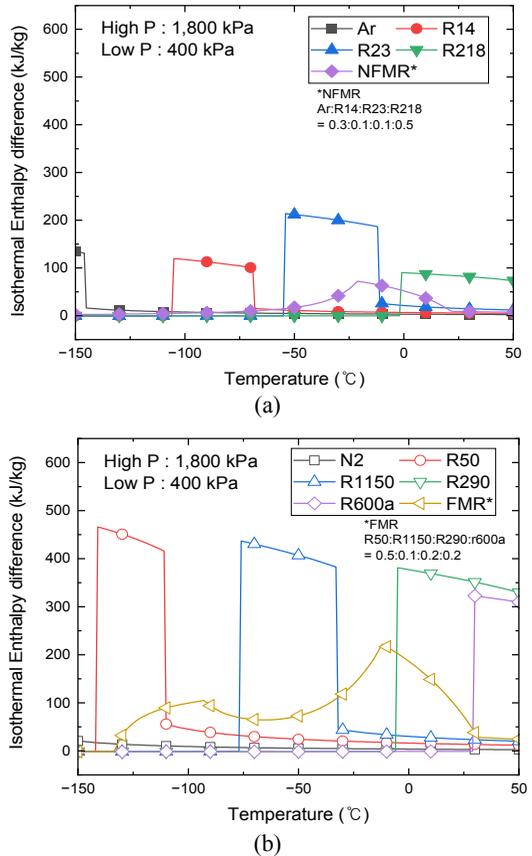


Fig. 2 Isothermal enthalpy difference between 1,800 kPa to 300 kPa of the (a) non-flammable and (b) flammable refrigerants

Table 1 Coolant constraints of low temperature refrigeration cycles for semiconductor etching process

Constraint	Value	Note
Component	HFE7200	C ₄ F ₉ OC ₂ H ₅
Evaporator Inlet Temperature	-115°C	-
Evaporator Outlet Temperature	-120°C	-
Coolant Pressure	6 bar	w/o pressure drop
Coolant Flow Rate	25 LPM	-

도체 식각 장비로 공급될 수 있는 냉각유체 (coolant)를 -120°C로 구성이 될 수 있도록 시스템을 가정하였으며, 공급 조건을 Table 1과 같이 구성하였다. -120°C 극저온의 단일 MR J-T 냉동 사이클에 적합한 MR을 선정하기 위하여 NFMR과 FMR은 각각 4종을 섞는 것으로 구성하였다.

NFMR은 끓는점이 낮은 순서대로 Ar, R14 (CF₄), R23(CHF₃), R218(C₃F₈)을 혼합하였다. Ar, R14, R218은 특정 분율로 혼합하였을 때 어는점이 77 K 이하로 낮아져 극저온에서 안정적인 성능을 제공할 수 있음이 확인되었다.¹⁸⁾ 또한 Fig. 2(a)에서 확인할 수 있는 것처럼, -60°C에서 -30°C 부근에서 고압 및 저압의 엔탈피 차이가 부족한 것을 보충해 주기 위해 R23을 추가하였다.

FMR도 끓는점이 낮은 순서대로 탄화수소계 냉매 R50(CH₄), R1150(C₂H₄), R290(C₃F₈), R600a (i-C₄H₁₀)을 혼합하였다. Fig. 2(b)와 같이 R50와 R1150은 극저온에서 우수한 냉매 성능을 제공하고, R290, R600a와 같이 상대적으로 큰 분자량인 냉매들은 상온 부근에서 높은 엔탈피 차를 갖는다. 이는 상온에서 동작 시 높은 냉각 성능을 나타낸다는 의미이며, 이러한 특성을 적절히 조합한다면 MR J-T 냉동 사이클의 압축-팽창 과정에서 높은 냉각 성능과 목표하는 저온 영역에 효율적으로 도달할 수 있을 것으로 기대할 수 있다.

2.2. 사이클 해석

NFMR과 FMR의 단일 MR J-T 냉동 사이클 해

석을 위하여, 설계 조건을 Table 2와 같이 제한하였다. 사이클은 앞서 언급한 바와 같이, 실제 반도체 식각공정에 적용될 수 있도록 설계하여 증발기에서 토출되는 냉각유체가 -120°C에 도달하도록 하였고, 펌프에서 발생하는 발열 및 외부 열 유입 등을 고려해 냉각 용량 2 kW를 얻을 수 있도록 하였다. 이를 역으로 계산하면, 냉각유체가 들어오는 온도가 30 LPM 기준으로 -115°C 정도로 계산된다. 압축기의 수를 최소화하기 위해 예비 냉각과 메인 냉각 사이클에 단일 압축기를 적용하였으며, 메인 냉각 압축기의 단열 효율은 50%로 제한하였다. 흡입압력의 상승은 COP를 높이지만, 사이클 구성이 어려워지거나 과도한 압축기 요구일이 발생할 수 있어, 압축기 토출압력은 일반적인 스크롤 압축기의 토출압으로 생각하는 1,800 kPa로 제한하였다. 또한 대기압보다 낮은 흡입압력을 냉각기 외부에서 공기 혹은 수증기의 유입 문제를 발생시킬 가능성이 있다. 따라서 압축기의 흡입압력을 300 kPa로 설정하였다.

Table 2 Design constraints of low-temperature refrigeration cycles for semiconductor etching process

Constraint	Value	Note
Refrigerant (NFMR)	Ar/R14/R23/R218	Mole fraction variation 0.1
Refrigerant (FMR)	R50/R1150/R290/R600a	
Cooling capacity	2 kW	Coolant refrigeration
Discharge pressure (compressor)	1,800 kPa	-
Suction pressure (compressor)	300 kPa	-
Min. temp. approach at recuperator	3	-
After cooling temperature	25°C	PCW Temp. 20°C
Isentropic efficiency of the compressor	50%	-
Pressure drop in entire heat exchanger	0 kPa	Ideal case
Precooling temperature	-20°C	-

After cooler를 제외한 모든 열교환기에서의 압력강하는 0 kPa로 하였고, 열교환기에서의 최소 온도 차는 5°C로 설정되었다. After cooling에 사용된 PCW(Process Cooling water)의 온도는 실제 반도체 라인을 순환하는 냉각수로 냉각 시 도달할 온도인 25°C로 가정하였고, 팽창은 등엔탈피 팽창을 가정하였다. 사이클 해석에는 상용 프로그램인 AspenTech의 ASPEN HYSYS V14를 적용하였고, 각 위치들의 열역학적 상태(state)는 상용 소프트웨어에 내장된 Peng-Robinson Equation of State를 적용하였다. NFMR과 FMR은 각각 조성의 몰분율(Mole fraction)을 0.1씩 변화시키면서 COP를 확인하였고, 두 MR의 가장 높은 COP를 보이는 조성으로 비교 분석하였다.

3. 해석 결과 및 논의

3.1 해석 결과

단일 MR J-T 냉동 사이클의 COP는 MR의 조성에 따라 변화하며, NFMR과 FMR의 조성에 따른 계산 결과를 Fig. 3과 Fig. 4의 삼각 그래프에 도식하였다. 각 그래프에서 검은 점들이 계산된 조성들이고, 그래프의 각 변은 몰분율이다. Fig. 3은 NFMR의 계산 결과이며, R23의 몰분율이 0.1일 때의 결과이다. 가장 높은 COP를 얻은 비율은 Ar:R14:R23:R218=0.3:0.1:0.1:0.5로, 약 0.120의 COP를 도출하였다. 내부에서 복열식 열교환기는 가장 최적의 효율을 가진 본 조성비에서 가장 적은 열교환량을 가졌으며, 약 47 kW 수준의 열교환량이 필요한 것으로 계산되었다.

Fig. 4는 FMR의 COP 계산 결과로, R600a의 몰분율이 0.1일 때(a)와 0.2일 때(b)로 각각 도식하였다. Fig. 4(a)의 FMR 전체 몰분율은 R50:R1150:R290:R600a = 0.4:0.1:0.4:0.1이며, (b)는 0.5:0.1:0.2:0.2이다. 이때, Fig. 4(a)와 (b)의 각각의 COP는 0.189, 0.206이고, 필요한 복열식 열교환기의 열교환량은 각각 23 kW와 18 kW 수준으로, NFMR의 열교환량 결과보다 현저히 낮은 것을 확인할 수 있다.

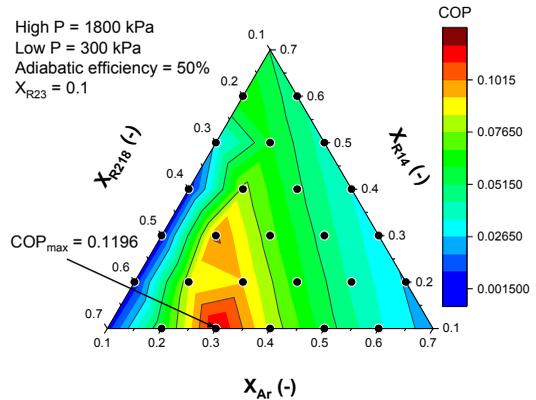


Fig. 3 Calculation of COP for NFMR J-T refrigerator with mole fraction of R23 = 0.1

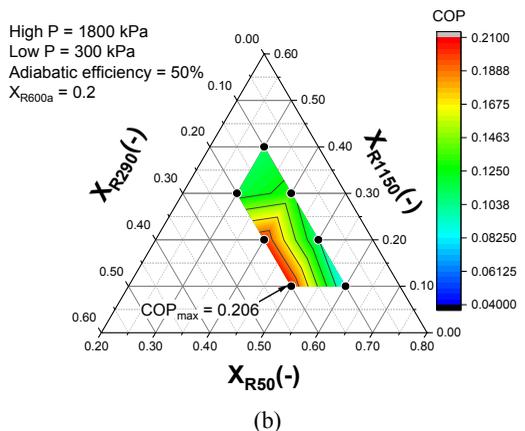
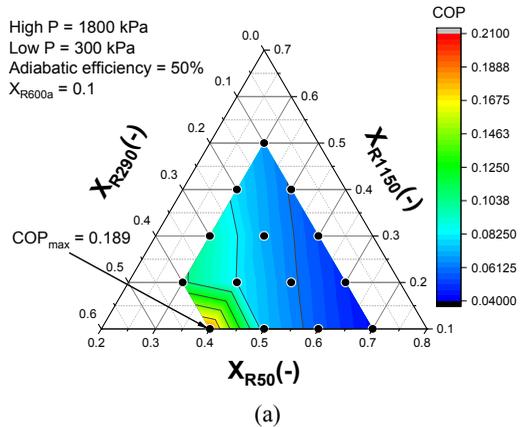


Fig. 4 Calculation of COP for FMR J-T refrigerator with mole fraction of R600a = (a) 0.1 and (b) 0.2

3.2 혼합냉매별 특성

Fig. 5에 FMR과 NFMR에 따른 열교환기에서 수행해야 하는 열교환량을 도식하였다. 앞서 효율로 나타난 바와 같이, FMR과 NFMR J-T 냉동 사이클의 복열식 열교환기(recuperator)에서 열교환을 해야 하는 열량은 각각 18.4 kW, 47.3 kW로 계산되었으며, 이때 증발기에 해당하는 열량은 두 조건 모두 약 2 kW이다. 따라서 전체 열교환량은 FMR과 NFMR 각각 32.0 kW, 67.9 kW로 계산되었다. NFMR 조건의 계산 결과는 FMR과 비교하여 약 2배 가까운 차이를 보이는데, 이는 복열식 열교환을 수행해야 하는 양이 많을수록 많은 냉매가 순환하여야 하고 냉동 효율이 떨어지는 현상을 예상할 수 있다.

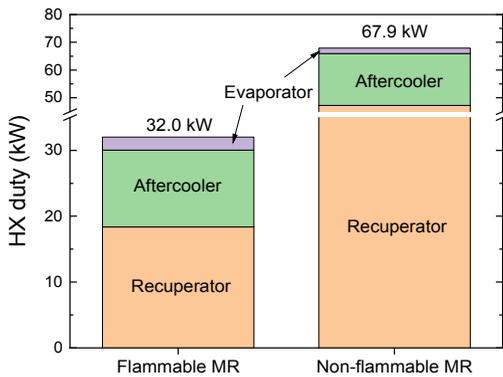


Fig. 5 Required heat exchange duty of low-temperature refrigeration system for each configuration

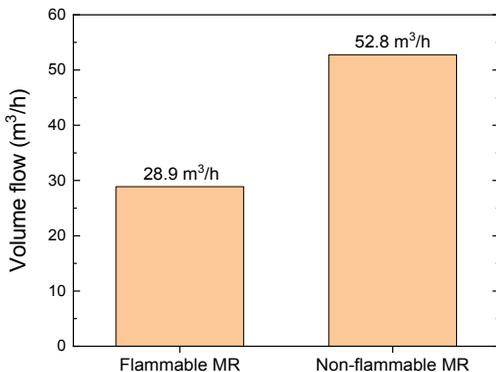


Fig. 6 Required volume flow rate of low-temperature refrigeration system for each configuration

Table 3 Cycle simulation summary of low temperature MR J-T refrigeration system for NFMR and FMR

Cycle configuration	NFMR	FMR
Refrigerant Composition	Ar:R14:R23:R218 =0.3:0.1:0.1:0.5	R50:R1150:R290:R600a =0.5:0.1:0.2:0.2
Discharge pressure [bar]	18	18
Suction pressure [bar]	3	3
Volume flow rate [m³/h]	52.8	28.9
Heat exchanger duty [kW]	67.9	32.0
COP [-]	0.120	0.206

냉동시스템에서 냉매가 순환하는 부피를 의미하는 부피 유량(volume flow rate)은 Fig. 6에 도식하였으며, FMR과 NFMR의 부피 유량은 각각 28.9 m³/h, 52.8 m³/h의 값을 보였다. 앞서 언급한 COP와 열교환량과 마찬가지로, NFMR의 조건은 FMR에 비해 약 2배 가까이 높은 부피 유량을 요구하였다.

Table 3에 전체 MR J-T 사이클 계산 결과를 요약하여 나타내었다. NFMR을 사용한 -120°C 단일 MR J-T 냉동시스템의 COP는 FMR에 비해 약 58%에 미치지 못한다. 또한 열교환량 기준으로도 약 2배의 차이가 발생, 동일한 냉각 효과를 얻기 위해서 필요한 열교환기의 크기를 절반 수준으로 감소할 수 있다. 압축기의 부피 유량 역시 약 2배 가까이 차이가 있고, 이에 따라 비례적으로 전체 냉동시스템을 최소화(compactness)하여 냉동 설비가 차지하는 공간(footprint)을 효과적으로 감소시킬 수 있다. 특히, 반도체 공정에서는 설비의 소형화와 공간 효율성이 매우 중요하므로, FMR의 사용에 따라 설비 면적의 최적 구성을 고려할 수 있다. 이러한 특성은 반도체 제조라인과 같은 고밀도 설비 환경에서 매우 중요한 이점이 되며, FMR을 적절하게 관리할 수 있는 경우, NFMR 대비 효율적이고 실용적인 방안이 될 수 있다고 판단된다.

가연성 냉매는 냉동기 성능 면에서 비가연성 냉매보다 우수한 경향을 보이고, 냉각 성능이 뛰어나기 때문에 더 높은 COP를 제공하며, 열역학적 특성에서 유리하다. 환경 규제 측면에서도, 본 연구에서 적용한 냉매들의 GWP는 모두 5,000 이상이지만, 가연성 냉매들의 GWP는 낮아 매우 유리하다. 그러나 가연성의 안전 문제로 인하여 반도체 공정에 적용하려면 냉매 유출에 대한 대책이 선행되어야 할 것이다.

4. 결 론

본 연구에서는 -120°C 급 반도체 식각용 극저온 MR J-T 냉동시스템을 설계하였고, 각각 4종으로 혼합한 가연성과 비가연성의 냉매를 조성 별로 해석하여 열역학적 특성 결과를 분석하였다. 단일 MR J-T 냉각 사이클을 고려하였을 때, COP 기준으로 비가연성 혼합냉매는 0.120, 가연성 혼합냉매는 0.206에 도달할 것으로 설계되었으며, 부피 유량과 열교환량 또한 두 냉매 조건 간에 약 2배의 차이를 보였다. 이러한 결과는 반도체 제조라인과 같은 고밀도 설비 환경에서 고효율의 열역학적 특성을 제공하는 가연성 냉매의 채택이 매우 실용적임을 시사한다. 탄소중립 목표와 온실가스 저감 규제에 대응하는 방안으로, 가연성 냉매의 우수한 성능을 최대한 활용하면서도 이를 안전하게 운용할 수 있는 안전 대책 및 운영 안정성 기술의 확보가 필요할 것으로 사료된다.

후 기

이 연구는 2024년도 산업통상자원부 및 한국산업기술기획평가원(KEIT) 연구비 지원에 의한 연구임('20026387').

Author contributions

H. Y. Ji; Writing-original draft, Investigation, Data curation, and Formal analysis., C. Lee; Validation, Visualization, and Writing-review & editing.

References

1. K. Nojiri, 2015, "Dry Etching Technology for Semiconductors", Springer, 1-9.
2. S. I. Shim, J. Jang and J. Song, 2023, "Trends and Future Challenges of 3D NAND Flash Memory", IEEE International Memory Workshop. (DOI:10.1109/IMW56887.2023.10145825)
3. F. Leroy, L. Zhang, T. Tillocher, K. Yatsuda, K. Maekawa, E. Nishimura, P. Lefauchaux, J-F de Marneffe, M. R. Baklanov and R. Dussart, 2015, "Cryogenic etching processes applied to porous low-k materials using $\text{SF}_6/\text{C}_4\text{F}_8$ plasmas", Journal of Physics D: Applied Physics, 48(43), 435202. (DOI:10.1088/0022-3727/48/43/435202)
4. R. Chanson, R. Dussart, T. Tillocher, P. Lefauchaux, C. Dussarrat and J. F. Marneffe, 2019, "Low-k integration: Gas screening for cryogenic etching and plasma damage mitigation", Frontiers of Chemical Science and Engineering, 13, 511-516. (<https://doi.org/10.1007/s11705-019-1820-5>)
5. R. Dussart, T. Tillocher, P. Lefauchaux and M. Boufnichel, 2014, "Plasma cryogenic etching of silicon: from the early days to today's advanced technologies", Journal of Physics D: Applied Physics, 47(12), 123001. (DOI:10.1088/0022-3727/47/12/123001)
6. S. S. Park, S. C. Park, J. H. Yoon, S. H. Seol, C. H. Son and J. I. Yoon, 2021, "Performance Characteristics according to the Change in Operating Pressure of the SMR Refrigerator", Journal of Power System Engineering, 25(6) 66-70.
7. S. C. Park, S. S. Park, J. I. Yoon, S. H. Seol, C. H. Son and J. I. Yoon, 2022, "Performance Characteristics of Mixed Refrigerant Joule-Thomson Refrigerator with Respect to Operating Conditions", Journal of Power System Engineering, 26(1) 58-64.

8. Y. Mita, M. Sugiyama, M. Kubota, F. Marty, T. Bourouina and T. Shibata, 2006, "Aspect Ratio Dependent Scalping Attenuation in Drie and an Application to Low-Loss Fiber-Optical Switches", in 19th IEEE International Conference on Micro Electro Mechanical Systems. (DOI:10.1109/MEMSYS.2006.1627749)
9. J. Fu, J. Li, J. Yu, R. Liu, J. Li, W. Wang, W. Wang and D. Chen, 2018, "Improving sidewall roughness by combined RIE-Bosch process", *Materials Science in Semiconductor Processing*, 83(15), 186-191. (<https://doi.org/10.1016/j.mssp.2018.04.033>)
10. B. Chang, P. Leussink, F. Jensen, J. Hübner and H. Jansen, 2018, "DREM: Infinite etch selectivity and optimized scallop size distribution with conventional photoresists in an adapted multiplexed Bosch DRIE process", *Microelectronic Engineering*, 191(5), 77-83. (<https://doi.org/10.1016/j.mee.2018.01.034>)
11. J. Kim, J. Park, H. Kim, S. Choo, H. Yeom, Y. J. Hong, S. In, S. J. Park and J. Ko, 2021, "Performance Test of Scroll Compressor for Cryogenic Refrigeration System", *Journal of Power System Engineering*, 25(1) 60-65.
12. X. Mellhaoui, R. Dussart, T. Tillocher, P. Lefauchaux, P. Ranson, M. Boufnichel and L. J. Overzet, 2005, "SiOx/Fy passivation layer in silicon cryoetching", *Journal of Applied Physics*, 98(10), 1049101. (<https://doi.org/10.1063/1.2133896>)
13. G. Antoun, R. Dussart, T. Tillocher, P. Lefauchaux, C. Cardinaud, A. Girard, S. Tahara, K. Yamazaki, K. Yatsuda, J. Faguet and K. Maekawa, 2019, "The role of physisorption in the cryogenic etching process of silicon", *Japanese Journal of Applied Physics*, 58(SE), SEEB03. (DOI:10.7567/1347-4065/ab1639)
14. H. V. Jansen, M. J. de Boer, S. Unnikrishnan, M. C. Louwerse and M. C. Elwenspoek, 2009, "Black silicon method: X. A review on high speed and selective plasma etching of silicon with profile control: an in-depth comparison between Bosch and cryostat DRIE processes as a roadmap to next generation equipment", *Journal of Micromechanics and Microengineering* 19(3), 033001. (DOI:10.1088/0960-1317/19/3/033001)
15. A. Rezvanov, A. V. Miakonkikh, A. S. Vishnevskiy, K. V. Rudenko and M. R. Baklanov, 2017, "Cryogenic etching of porous low-k dielectrics in CF3BR and CF4 plasmas", *Journal of Vacuum Science & Technology B*, 35(2), 021204. (<https://doi.org/10.1116/1.4975646>)
16. H. C. Du and S. J. Hong, 2021, "Temperature Analysis of Electrostatic Chuck for Cryogenic Etch Equipment", *Journal of the Semiconductor & Display Technology*, 20(2), 19-24.
17. E. W. Lemmon, I. H. Bell, M. L. Huber and M. O. McLinden, 2018, National Institute of Standards and Technology, Standard Reference Data.
18. C. Lee, J. M. Kim and J. G. Lee, 2022, "Design of Nonflammable Mixed Refrigerant Joule-Thomson Refrigerator for Semiconductor Etching Process", *Journal of the Semiconductor & Display Technology*, 21(2), 144-149.